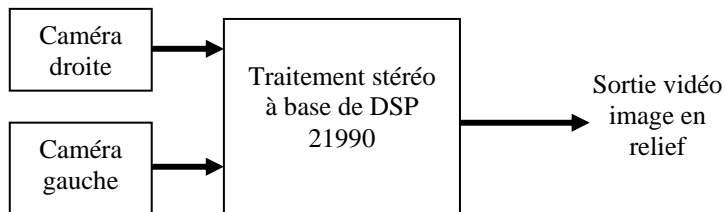


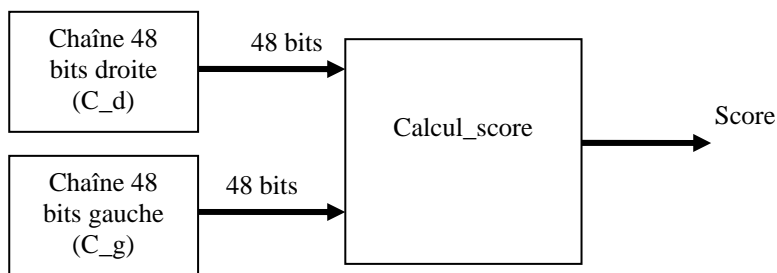
### 1) Présentation du problème :

Le schéma ci-dessous représente un dispositif de traitement d'images destiné à obtenir, à partir de deux images droite et gauche issues de deux caméras, une représentation en « temps réel » (25 images/seconde) d'une scène en trois dimensions. Ce dispositif est basé sur la mise en œuvre d'un processeur de signal ADSP21990 de Analog Devices qui doit exécuter un certain nombre de fonctions parmi lesquelles une fonction particulière dite de « **calcul des scores** ».



#### La fonction « calcul des scores » :

Elle a pour but d'évaluer le degré de ressemblance entre deux chaînes de 48 bits chacune issues des images droite et gauche et de fournir un résultat appelé « score » dont la valeur sera d'autant plus importante que les chaînes seront ressemblantes.



Le principe de la fonction « calcul\_score » est le suivant :

- on effectue un **ou exclusif** entre les deux chaînes de caractère C\_d et C\_g.
- On complémente le résultat
- La sortie « score » est égale au nombre de « 1 » dans le résultat.

#### **Exemple** sur deux chaînes C\_d et C\_g de **8 bits** :

C\_d = 01001101      C\_g = 11000101      C\_d **ouex** C\_g = 10001000

Résultat complémente = 01110111      score = 6 (car 6 bits à 1)

### 2) Travail demandé :

Le temps mis par le DSP pour exécuter la fonction « calcul\_score » étant trop important par rapport au rythme d'arrivée des données issues des caméras, on décide d'associer à celui-ci un circuit spécialisé à base de FPGA pour réaliser cette fonction.

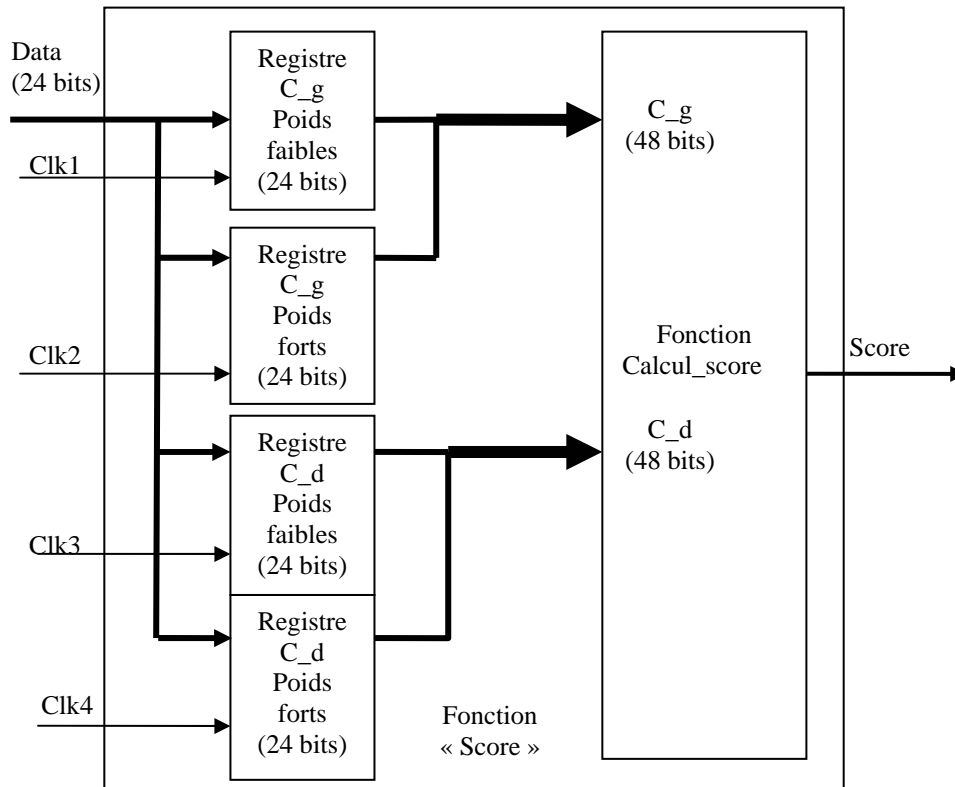
#### A) 1<sup>ère</sup> partie :

On considère dans cette partie que les deux chaînes de bits C\_d et C\_g sont mémorisées dans le bloc DSP.

- 2.1) Quel est le format (nombre de bits) de la sortie « score » ?
- 2.2) Décrire en langage VHDL l'entité du circuit « calcul\_score ».
- 2.3) Décrire son architecture.

**B) 2<sup>ème</sup> partie :**

Pour tirer un meilleur parti du circuit FPGA et réduire le câblage avec le bloc DSP, on décide d'intégrer dans celui-ci les registres de mémorisation des chaînes C\_d et C\_g. Le schéma-bloc de la nouvelle fonction réalisée appelée « score » est représenté ci-dessous :



Sachant que les données présentes sur le bus «Data » du DSP sont mémorisées sur le front montant des horloges Clk1, Clk2, Clk3 et Clk4 on demande de :

- 2.4) Décrire en langage VHDL l'entité du circuit représenté ci-dessus.
- 2.5) Décrire son architecture.

Barème : 2.1) = 1point ; 2.2) = 2 points ; 2.3) = 8 points ; 2.4) = 2 points ; 2.5) = 6 points  
Présentation = 1 point